

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of  
the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- BLURRY OR ILLEGIBLE TEXT
- SKEWED/SLATED IMAGES
- COLORED PHOTOS
- BLACK OR VERY DARK BLACK AND WHITE PHOTOS
- UNDECIPHERABLE GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

## JP 63289960 - Japio

2/7/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02673060 \*\*Image available\*\*

### FIELD-EFFECT SEMICONDUCTOR DEVICE

PUB. NO.: 63-289960 A]

PUBLISHED: November 28, 1988 (19881128)

INVENTOR(s): ITO TAKASHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 62-125135 [JP 87125135]

FILED: May 22, 1987 (19870522)

### ABSTRACT

PURPOSE: To obtain a new type of a field effect transistor higher in operational speed and integration as compared with a conventional MOS FET by a method wherein a gate electrode is provided through intermediary of a single crystal silicon carbide film epitaxially grown on a substrate.

CONSTITUTION: A carrier in a silicon substrate adjacent to the interface between a silicon substrate 1 and a silicon carbide film 2 is controlled by applying voltage through the single crystal silicon carbide film 2 which is formed and bonded onto a silicon substrate 1. For instance, an element isolation film 6 is provided on the p-type silicon substrate 1 with a face orientation (100) and an undoped SiC single crystal film 2 is epitaxially grown through the vacuum vapour phase growth on an Si face on which an element is to be formed. Polycrystalline Si is deposited thereon, and then patterning is performed to form a gate electrode structure consisting of the SiC film 2 with a channel 1 .mu.m in length and a gate electrode 3. Next, As(sup +) is ion-implanted through the said electrode 3 as a mask and heat treatment is performed for activation, and thus a source region 4 and a drain region 5 are formed.

## JP 63289960 - Derwent

2/7/1

DIALOG(R) File 351:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007697602 \*\*Image available\*\* WPI Acc No: 1988-331534/198847

**Semiconductor field effect transistor - using single crystalline silicon carbide as gate insulating layer for high speed operation**

Patent Assignee: FUJITSU LTD (FUIT )

Inventor: ITO T

Number of Countries: 004 Number of Patents: 004

### Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 291951	A	19881123	EP 88107958	A	19880518	198847 B
JP 63289960	A	19881128	JP 87125135	A	19870522	198902
EP 291951	B1	19930804	EP 88107958	A	19880518	199331
DE 3882801	G	19930909	DE 3882801	A	19880518	199337
			EP 88107958	A	19880518	

Priority Applications (No Type Date): JP 87125135 A 19870522

Cited Patents: 1.Jnl.Ref; A3...9105; GB 1566072; No-SR.Pub

### Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 291951	A	E	10		
-----------	---	---	----	--	--

Designated States (Regional): DE FR GB

EP 291951	B1	E	11	H01L-029/64	
-----------	----	---	----	-------------	--

Designated States (Regional): DE FR GB

DE 3882801	G			H01L-029/64	Based on patent EP 291951
------------	---	--	--	-------------	---------------------------

### Abstract (Basic): EP 291951 A

An insulated gate field effect transistor (IGFET) is characterised by a single crystalline Si substrate, a gate insulating layer comprising a single crystal SiC layer (2), epitaxially grown on (1) pref. by a vapour phase method; a gate electrode (3) formed on (2) for forming a channel region in surface region of Si substrate (1) and under gate electrode through gate insulating layer; a source region (4) formed in a surface region of (1) and electrically connected with an end of channel region; a drain region (5) formed in a surface region of (1) and electrically connected with other end of channel region. Pref. the surface of the Si substrate has a major surface of (100) or (111) orientation.

USE/ADVANTAGE - An IGFET, smaller and having a higher transconductance and higher operating speed than prior art MOSFET having SiO<sub>2</sub> gate insulating layer.

1/2

### Abstract (Equivalent): EP 291951 B

An insulated gate field effect transistor (IGFET) comprising a single crystalline silicon substrate (1); a gate insulating layer of single crystal silicon carbide (2) epitaxially grown on the surface of said silicon substrate (1); a gate electrode (3) formed on said gate insulating layer for forming a channel region in the surface region of said silicon substrate (1) and under said gate electrode through said gate insulating layer; a source region (4) formed in the surface region

of said silicon substrate (1) so as to be electrically connected with an end of said channel region; and a drain region (4) formed in the surface region of said silicon substrate (1) so as to be electrically connected with an end of said channel region; and a drain region (5) formed in the surface region of said silicon substrate (1) so as to be electrically connected with the other end of said channel region, characterised in that said silicon substrate (1) has a major surface of (111) orientation.

Dwg.1(a

Derwent Class: L03; U12

International Patent Class (Main): H01L-029/64

International Patent Class (Additional): H01L-029/267; H01L-029/62;  
H01L-029/78

## ⑫ 公開特許公報(A)

昭63-289960

⑮ Int. Cl.<sup>4</sup>

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

G-8422-5F

⑯ 公開 昭和63年(1988)11月28日

審査請求 未請求 発明の数 1 (全4頁)

⑰ 発明の名称 電界効果型半導体装置

⑱ 特 願 昭62-125135

⑲ 出 願 昭62(1987)5月22日

⑳ 発 明 者 伊 藤 隆 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

電界効果型半導体装置

## 2. 特許請求の範囲

シリコン基板(1)上に被着形成された単結晶シリコンカーバイド膜(2)を介して電圧を印加することにより、前記のシリコン基板とシリコンカーバイド膜の界面近傍のシリコン基板内の担体を制御することを特徴とする電界効果型半導体装置。

## 3. 発明の詳細な説明

(概要)

シリコン基板上にエピタキシャル成長させた単結晶シリコンカーバイド(SiC)膜を介してゲート電極を設けたことを特徴とする電界効果トランジスタ。

(産業上の利用分野)

本発明は、電界効果トランジスタ(FET: Field Effect Transistor)に係り、特に集積度の高い半導体集積回路の能動素子として好適な高負荷駆動能力を有する新規な FETに関するものである。

(従来の技術)

従来、集積度の高い半導体集積回路の能動素子として MOS (Metal-Oxide-Semiconductor) FET が広く用いられてきた。これには、基板のシリコン(Si)を熱酸化することにより、MOS FET のゲート絶縁膜として絶縁性・界面特性とも良好な二酸化シリコン(SiO<sub>2</sub>)膜を容易に形成できることが大きく寄与している。

MOS FET は、そのドレイン電流が近似的に実効チャネル長とゲート絶縁膜厚に反比例するので、高集積化すべく素子を微細化することが、即、素子の高速化に不可欠な電流駆動能力の増大につながるという半導体集積回路用能動素子として好ましい性質があり、高集積化・高速化のためにその微細化が進められた結果、現在、実効ゲート長(L<sub>eff</sub>)が0.25 μmで、ゲート絶縁膜の厚さが50 Å のものが試作されるまでに至っている。

ゲート絶縁膜にSiO<sub>2</sub>を用いた従来の MOS FET においては、その実効チャネル長が1 μm以下にまで微細化されゲート絶縁膜のSiO<sub>2</sub>にキャリアが注

入されるようになると、素子の特性劣化や信頼性低下が目立つようになり、その問題の解決が求められている。

〔発明が解決すべき問題点〕

素子を微細化するとともに比例的にその電源電圧を低くすることができれば、内部電界強度の増大に起因する特性劣化もおこらないはずであるが、半導体集積回路を使用する立場からは、電源電圧は一定であることが好ましいので、従来、素子を微細化しても電源電圧はもとのまま、たとえば5Vで低下させない傾向がある。このため、高集積化のため微細化した素子においては、その内部電界強度が増大し、チャネルにおいてエネルギーの高いホットキャリアが発生するとともに、ゲート絶縁膜の薄膜化に伴ってその電界も増大し、トンネル効果によってゲート絶縁膜のSiO<sub>2</sub>にキャリアが注入されるようになってきた。

従来のMOS FETのゲート絶縁膜として用いられている熱酸化によるSiO<sub>2</sub>は、単結晶ではなく非晶

質であるので、内部に電子や正孔を捕獲するキャリアトラップを数多く含んでいる。このSiO<sub>2</sub>に前述のごとくキャリアが注入されるとその一部がキャリアトラップに捕獲されて表面単位や固定電荷を発生させて、MOS FETの特性変動をひきおこす。又、SiO<sub>2</sub>膜にかかる電界が $1 \times 10^7 \text{V/cm}$ 以上になるとその絶縁破壊がおこること、更に、SiO<sub>2</sub>膜が20Å以下にまで薄くなると、SiO<sub>2</sub>膜を通して直接トンネル電流が流れるようになることによって、SiO<sub>2</sub>ゲート絶縁膜の薄膜化には原理的に限界があり、素子の微細化による従来のMOS FETの高速化には限界があった。実際的な面からは、SiO<sub>2</sub>が緻密でないため、薄い膜ほどピンホールができて易く、又、その上につけたゲート電極材料の~~熱処理~~<sup>多層</sup>などが素子化のプロセス中にSiO<sub>2</sub>中に拡散し、はなはだしくはSiO<sub>2</sub>膜をつきぬけたりすることもSiO<sub>2</sub>膜の薄膜化を制限する要因となっている。

また、Si/SiO<sub>2</sub>界面の界面特性が良好であるといっても先に述べたようにSiO<sub>2</sub>が単結晶でなく非晶質であるのでその界面が結晶学的に平坦でない

ばかりでなく、電気的にも界面単位が形成されるなどして電気的特性が制限され、MOS FETの特性を左右する表面電子移動度がバルクのSiの値に比較して20~40%も低い値になってしまうことも、従来のMOS FETの高速化をはばむ要因の一つであった。

本発明は、このような点に鑑みて創作されたもので、従来のMOS FETに比較して、より高速化・高集積化が可能な、新しい<sup>電界</sup>界面効果トランジスタを提供するものである。

〔問題を解決するための手段〕

その目的は、従来のMOS FETのSiの熱酸化によるSiO<sub>2</sub>膜のかわりに、Si上にエピタキシャル成長させたシリコンカーバイド(SiC)単結晶膜を介してゲート電極を設け、電界効果トランジスタ(FET)構造を形成することにより達成される。

〔作用〕

第2図は、本発明のFETの動作原理を示すNチ

ャネルFETのエネルギー帯図である。

p型シリコン基板1にアンドープ高抵抗SiC膜2とゲート電極3を順次形成すると、SiCの禁帯幅は2.86eV(6H-SiC)又は2.20eV(3C-SiC)とSiのそれにくらべ大きいので、Si/SiC界面には、図に示したようにキャリア20としての電子が蓄積される。基板としてn型シリコンを用いれば、同様にpチャネルFETができるのは言うまでもない。

SiCは、減圧下において、SiC<sub>2</sub>, SiHCl<sub>2</sub>, SiH<sub>4</sub>などのSi源と、CCl<sub>4</sub>, C<sub>2</sub>H<sub>2</sub>, C<sub>3</sub>H<sub>4</sub>などのC源を用いて1000℃以下の成長温度でSi基板上にその単結晶膜を気相エピタキシャル成長させることが可能である。

このSiCの比誘電率は約10で、SiO<sub>2</sub>のそれにくらべ約2.5倍も大きい。FETのゲート電極構造にこれを用いるとSiO<sub>2</sub>を用いたものにくらべてゲートキャパシタの容量が約2.5倍大きくなるので、チャネルにそれだけ多くのキャリアを蓄積できるようになり、その結果、FETのドレイン電流が増大し、高速化に不可欠な電流駆動能力を大きくす

ることができる。

逆に、ドレイン電流が等しいFETをつくるのに必要なSiC膜の厚さは、SiO<sub>2</sub>膜のその約2.5倍厚くすることができるのでその結果SiC膜内の電界強度は1/2.5に小さくなって、それだけ絶縁破壊に強い素子が得られる。

又、SiCは単結晶であるので、非晶質のSiO<sub>2</sub>にくらべキャリアトラップとして働く欠陥などが少く、FETが微細化されてSiC膜にキャリアが注入されるようになって、単にゲート電流がふえるだけで、SiO<sub>2</sub>を用いたときのように注入されたキャリアがキャリアトラップに捕獲されて表面準位や固定電荷を発生させ素子の特性劣化をひきおこすことが少なくなる。

また、Si/SiC界面は、原理的には1原子層オーダーまで平坦化することができ、界面の欠陥を少くすることができるので表面電子移動度をSi/SiO<sub>2</sub>界面のそれより大きくすることができ、その結果より高速なFETを作ることができる。

更にSiCは熱伝導率も0.4W/cm<sup>2</sup>・℃と大きく、

ールド酸化膜を形成し、ついで素子を形成すべきSi面上に、減圧気相成長により、アンドープSiC単結晶膜をエピタキシャル成長させた。このSiCの成長にあたり、Si源としてはSiHCl<sub>3</sub>を、C源としてはC<sub>2</sub>H<sub>2</sub>を、キャリアガスとしてはH<sub>2</sub>をそれぞれ用い、成長温度1000℃、圧力200Pa、SiHCl<sub>3</sub>流量0.7ℓ/min、C<sub>2</sub>H<sub>2</sub>流量38cc/min、H<sub>2</sub>流量7ℓ/minの条件でエピタキシャル成長させたところ、そのシート抵抗が約1000Ω/□のSiC単結晶薄膜を得ることができた。

このSiC単結晶膜の上に、多結晶Siを厚さ3000Åに公知の手法により堆積させた後、フォトリソグラフィと反応性イオンエッチングの手法でパターニングし、チャネル長(ゲート長)が1μmのSiC膜2とゲート電極3から成るゲート電極構造を形成した。ついで、このゲート電極3をマスクとして、n型不純物となるAs<sup>+</sup>をイオン注入し、酸化性雰囲気下で熱処理して活性化してソース領域4とドレイン領域5を形成した。なお、この工程でソース領域4、ドレイン領域5およびゲート

高温でも安定であり、しかも単結晶SiCは熱酸化SiO<sub>2</sub>にくらべ緻密であるので、素子化のプロセス中や長時間動作後に、ゲート電極材料の金属などと反応したり、ピンホールを通してこのゲート電極材料がつきぬけたりして特性劣化をきたすことがない。

#### (実施例)

本発明の電界効果トランジスタ(FET)の一実施例の構造を第1図に示す。

図において、1はp型シリコン基板、2はSiC単結晶膜、3はゲート電極、4はソース領域、5はドレイン領域、6は素子分離のためのSiO<sub>2</sub>膜、7はパッシベーションのSiO<sub>2</sub>熱酸化膜、8は層間絶縁膜としてのPSG膜、9はコンタクトホール、10と11はそれぞれソース電極とドレイン電極である。

この素子の作成は、以下の手順で行った。

まず、面方位(100)のp型シリコン基板上に、公知の熱酸化法により素子分離膜6としてのフィ

電極3の表面が酸化され、熱酸化膜7が形成される。このあと、全面に層間絶縁膜としてPSG膜を約1μm CVD法により被着形成し、フォトリソグラフィとエッチングの手法によりコンタクトホール9を開口し、これに電極となるべきAl-Si合金を、あつさ約1μm全面にスパッタリングして堆積させ、これをパターニングしてソース電極10とドレイン電極11を形成し、FET素子を完成させた。

こうしてつくったチャネル長1μmのFETのドレイン電流は、同じ厚さのSiO<sub>2</sub>ゲート絶縁膜を有することを除いて、他の条件は全く同じにしてつくった従来のMOSFETのその平均2倍であった。

なお、本実施例では、イオン注入を用いてソース領域、ドレイン領域を形成する方法を示したが、リン(P)などを拡散することによっても形成することができる。又、ゲート電極も多結晶シリコンにかぎらず、アルミニウムやタングステン、モリブデンなどの金属や高融点金属のシリサイドや、更には多結晶シリコンと高融点金属のシリサイドの

組みあわせたものなどを用いることができる。

以上、Nチャネル FETについてのみ説明してきたが、本発明の応用はこれにとどまらず、その原理からpチャネル FETにも容易に応用できることは言うまでもない。

(発明の効果)

本発明によれば、微細化可能な高速かつ高電流駆動能力を有する信頼性の高い電界効果トランジスタを容易につくることができるので、半導体集積回路の高集積化・高速化・高信頼化に寄与するところが極めて大きい。

4. 図面の簡単な説明

第1図は、本発明の電界効果トランジスタの一実施例の構造を示す図、

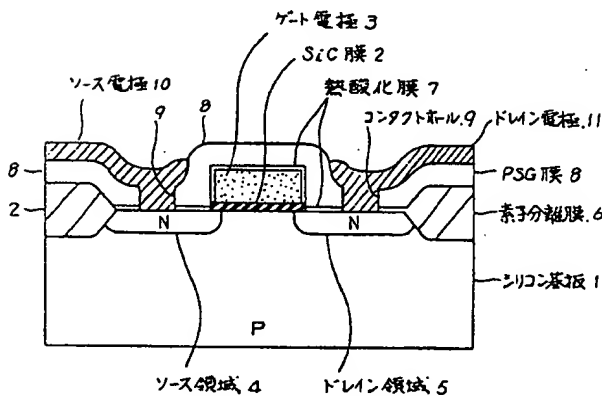
第2図は本発明の電界効果トランジスタのエネルギー帯図である。

図において、

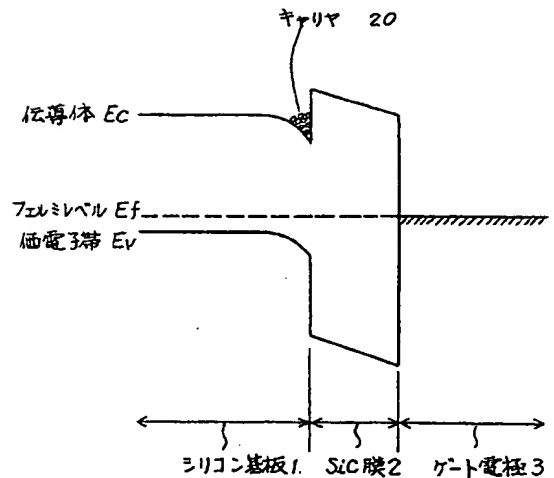
- 1 はシリコン基板、2 はSiC膜、
- 3 はゲート電極、4 はソース領域、

- 5 はドレイン領域、6 は素子分離膜、
  - 7 は熱酸化膜、8 は PSG膜、
  - 9 はコンタクトホール、10 はソース電極、
  - 11 はドレイン電極、20 はキャリア
- である。

代理人 弁護士 井 栢 貞



本発明の電界効果トランジスタの一実施例の構造  
第1図



本発明の電界効果トランジスタのエネルギー帯図  
第2図